

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064906
(43)Date of publication of application : 08.03.1996

(51)Int.Cl. H01S 3/18

(21)Application number : 06-222495 (71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

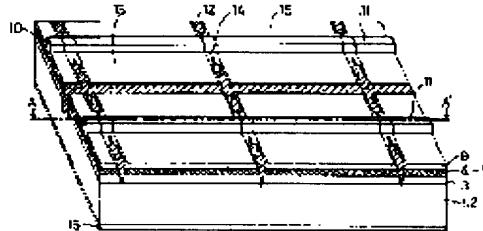
(22)Date of filing : 24.08.1994 (72)Inventor : SUGO MITSURU
KURAMOCHI EIICHI
TENMYO JIRO
NISHITANI AKIHIKO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the laser luminance at the cleavage end plane of a window construction by forming etched grooves in a buried regrown layer and an impurity diffusion layer, when grooves are formed by etching cleavage-scheduled areas of a semiconductor layer.

CONSTITUTION: On a substrate 1, a buffer layer 2, a clad layer 3, a guide layer 4, AlGaAsSCH layers 5 and 7, a strain quantum well active layer 6, a guide layer 8, a clad layer 9, and a contact layer 10 are grown by an epitaxial crystal growing apparatus. The contact layer 10 and the clad layer 9 are patterned and etching-processed by photolithography, and ridges 11 1.5-3 μ m wide and appropriately deep are formed. Next, patterning by photolithography is performed excluding photowaveguide path sections and cleavage guide grooves 12 are etched up to the substrate 1. An insulating film 14 composed of SiO₂ is sputtered to the whole surface, and SiO₂ on the ridges 11 is etched off, and electrodes 15 and 16 are formed. And it is cleaved along the cleavage grooves 12. Consequently, it becomes possible to reduce the cost of products of good precision.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-64906

(43)公開日 平成8年(1996)3月8日

(51)Int.Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

H 01 S 3/18

審査請求 未請求 請求項の数 3 FD (全 7 頁)

(21)出願番号 特願平6-222495

(22)出願日 平成6年(1994)8月24日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 須郷 満

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(72)発明者 倉持 栄一

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(72)発明者 天明 二郎

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(74)代理人 弁理士 高山 敏夫 (外1名)

最終頁に続く

(54)【発明の名称】 半導体装置の製法

(57)【要約】

【目的】 ウィンド構造の劈開端面のレーザを精度良く製作すること。

【構成】 端面を劈開面としている半導体層を有する半導体装置の製法において、半導体層をエッティングにより溝を形成し、ついでこの溝に沿って劈開を行う半導体装置の製法。

【特許請求の範囲】

【請求項 1】 端面を劈開面としている半導体層を有する半導体装置の製法において、半導体層をエッティングすることにより劈開予定域に溝を形成する工程と、該エッティング溝に沿って劈開を行う工程とを有することを特徴とする半導体装置の製法。

【請求項 2】 請求項 1において、埋め込み再成長層に前記エッティング溝を形成することを特徴とする半導体装置の製法。

【請求項 3】 請求項 1において、不純物拡散層に前記エッティング溝を形成することを特徴とする半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、端面を劈開面としている半導体層を有する半導体装置の製法に関する。

【0002】

【従来の技術】 従来、半導体基板上に端面を劈開面としている半導体層が形成されている構成を有する、半導体レーザ、光変調器、導波路などの半導体装置が、種々提案されている。このような半導体装置によれば、原子レベルまでの平坦性を有する劈開面を端面とすることができるので、高反射膜コートを施した光反射面として用いる場合には損失の少ない高い反射率の反射面を形成することができ、無反射膜コートを施した光出入面として用いる場合には損失が少なく反射の少ない光出入面を実現することができる。ところで、従来の端面を劈開面としている半導体層を有する半導体装置の製法においては、半導体層の一部をダイヤモンドスクライバ等でスクライプすることで溝を形成し、そのスクライプ溝に沿って劈開を行う方法がとられていた。

【0003】 また、とりわけ GaAs 系レーザにおいて共振器端面をバンドギャップの大きい半導体材料で構成するいわゆるウインド構造の半導体レーザと製法が提案されていた。このようなウインド構造の半導体レーザによれば、共振器端面近傍のレーザ光に対する吸収が抑制するために共振器端面の光学損傷破壊 COD (Catastrophic Optical Damage) による特性劣化が防止され、高出力時においても安定動作可能な半導体レーザを実現することができる。この COD は半導体結晶表面に存在する表面準位を介した非発光再結合により温度上昇がもたらされ、この温度上昇によりバンドギャップが減少し、さらに温度の上昇するフィードバックがかかり、端面の溶融等が誘起され光出力が低下し、非可逆的な破壊が起こる現象である。ところで、従来の共振器端面をバンドギャップの大きい半導体材料で構成するいわゆるウインド構造の半導体レーザと製法においては、劈開により形成した共振器端面への不純物拡散による歪活性層のディスオーダー化、並びにバンドギャップの大きい半導

体材料の再成長により形成する方法がとられていた。

【0004】

【発明が解決しようとする課題】 上述した従来の端面を劈開面としている半導体層を有する半導体装置の製法の場合、端面を劈開面としている半導体装置を形成するに当り、半導体層の一部をダイヤモンドスクライバ等でスクライプすることで溝を形成し、そのスクライプ溝に沿って劈開を行う方法においては、ダイヤモンドスクライプの刃先の大きさ等に制限されるため位置精度として 10 μm 程度の誤差が生じることが問題とされていた。このため、ウエハ形状での再成長や不純物拡散歪活性層のディスオーダー化により形成したウインド構造の端面を劈開により形成しようとした場合、 μm オーダー以下のサイズからなるウインド構造に対して設定通りの位置での劈開が困難であり、生産性の高いウエハ形状での再成長や不純物拡散工程を用いて形成したウインド構造の劈開端面のレーザが作成できないという欠点を有していた。上述した従来の共振器端面をバンドギャップの大きい半導体材料で構成するいわゆるウインド構造の半導体レーザの製法の場合、劈開により形成した共振器端面への不純物拡散、並びにバンドギャップの大きい半導体材料の再成長により形成していた。この不純物拡散、再成長工程での試料の形状が劈開後であるためレーザアレイバーとなっており、サイズは高々 100 μm 程度の厚さで、高々 1 mm 程度の幅しかなくハンドリングが極めて困難であった。また、不純物拡散、再成長工程は電極形成工程より先に行うことが必要であり、その後の電極形成工程をレーザアレイバーの形状で行うことが非常に困難であるという欠点を有していた。本発明の目的は、上述した欠点のない、新規な端面を劈開面としている半導体層を有する半導体装置の製法を提供することにある。

【0005】

【課題を解決するための手段】 上記の目的を達成するため、本発明は

(1) 端面を劈開面としている半導体層を有する半導体装置の製法において、半導体層をエッティングすることにより劈開予定域に溝を形成する工程と、該エッティング溝に沿って劈開を行う工程とを有する半導体装置の製法を発明の特徴とする。

(2) 埋め込み再成長層に前記エッティング溝を形成することを発明の特徴とする。

(3) 不純物拡散層に前記エッティング溝を形成することを発明の特徴とする。

【0006】

【作用】 本発明による端面を劈開面としている半導体層を有する半導体装置の製法によれば、端面を劈開面としている半導体装置を形成するに当り、半導体層をエッティングすることで劈開予定域に溝を形成し、そのエッティング溝に沿って劈開するが、そのエッティング溝の位置はレジストのフォト工程により決定することが可能であるた

め、0.1 μm 程度の位置精度で決定することができる。このため生産性の高いウエハ形状での再成長や不純物拡散工程を用いて形成したウインド構造の劈開端面のレーザが精度良く作成できる。また、本発明による端面を劈開面としている半導体層を有する半導体装置の製法では、ウインド構造の形成を劈開により形成した共振器端面への不純物拡散、並びにバンドギャップの高い半導体材料の再成長により形成すると言うことを行わず、ウエハ形状で不純物拡散、再成長工程、その後の電極形成工程を行えるので生産性、再現性良くウインド構造を有する半導体装置を提供することができる。

【0007】

【実施例】次に、本発明の実施例を述べる。

(実施例1) 図1は実施例1の半導体レーザの斜視図、図2は図1においてA-A'線に沿う断面図、ただし電極部は省いてある。図3は上面部を示す。図1～3において、1はn⁺-GaAs基板、2はn-GaAsバッファ層、3はn-AlGaAsクラッド層、4および8はAlGaAsガイド層、5および7はAlGaAs SCH層、6はInGaAs歪量子井戸活性層、9はp-AlGaAsクラッド層、10はp⁺-GaAsコンタクト層である。この構造を実現するために、まず、エピタキシャル結晶成長装置(MOCVD法：有機金属気相成長装置あるいはMBE法：分子線エピタキシー法)により、エピ層2から10まで成長する。MOCVD法では、半導体薄膜成長用の原料としてトリメチルインジウム(TMIn)、トリエチルガリウム(TEG)、トリメチルアルミニウム(TMA)、アルシン(AsH₃)を、n型ドーパントとして硫化セレン(H₂Se)、p型ドーパントとしてジエチルジンク(DEZn)を利用した。エピタキシャル成長温度は約700°C、成長圧力は約0.1気圧、キャリヤガスは水素である。MBE法では原料として金属ガリウム(Ga)、インジウム(In)、アルミニウム(Al)、砒素(As固体)を、n型ドーパントとしてシリコン(Si)、p型ドーパントとして亜鉛(Zn)を利用した。エピタキシャル成長温度は約650°C、成長圧力は約10⁻⁵ Torrとしている。

【0008】次に、コンタクト層10並びにクラッド層9を加工して、幅1.5～3 μm 程度のリッジ11を形成する。そのためにフォトリソグラフィーでパターニングし、これをマスクにウエットあるいはドライエッティングで10、9層をエッティングする。深さは横モードを考慮して決定し、ガイド層8までエッティングする場合もある。次に、光導波路部を除き劈開ガイド溝12をエッティングにより形成する。そのためにフォトリソグラフィーでパターニングし、これをマスクにウエットあるいはドライエッティングで基板1までエッティングする。このときレーザアレイバーの形状からレーザチップを切り出す場合に用いられるチッピングガイド溝13も形成すること

10
もできる。その後、マスクを剥離し、スパッタリング等で絶縁膜14(SiO₂等)を表面全体に形成し、リッジ上部のSiO₂をエッチオフした後、Cr/AuあるいはTi/Pt/Au等のp電極15、AuGeNi等のn電極16を形成する。その後、オーミックシンターリ、電極部まで形成する。その後、劈開ガイド溝12に沿ってレーザアレイバー形状に劈開し、チッピングガイド溝13に沿ってレーザチップの形状にチッピングする。

【0009】(実施例2) 図4は実施例2及び3の半導体レーザの斜視図を示す。実施例2は端面を再生層とした場合のものであり、実施例3は端面をSi拡散層とした場合のものである。図5は実施例2の場合の上面図を示す。本実施例では劈開部を埋め込み再成長層とした半導体装置の製法について述べる。実施例1と同様のレーザにおいてAlGaAs再成長層17を形成するためには、共振器ピッチごとに任意のストライプ幅で活性層を横切る深さまでエッティングを行う。その後、AlGaAs再成長層17を成長する。成長温度は700°C程度である。このときSiO₂あるいはSi₃N₄等の絶縁膜をエッティングマスクとし、さらに再成長時の選択成長マスクとして使用する。その後のリッジ形成からのプロセスは実施例1と同様に行う。ただし、劈開ガイド溝12はAlGaAs再成長層17の中心に位置するように配置している。

【0010】(実施例3) 図6は実施例3の上面図を示す。本実施例では劈開部を不純物拡散層とした半導体装置の製法について述べる。実施例1と同様のレーザにおいてSi不純物層18を形成するためには、共振器ピッチごとに任意のストライプ幅で活性層を横切る深さまでSiの不純物熱拡散、およびイオン打ち込み、熱処理を行い、活性層のディスオーダー化をはかる。不純物熱拡散の場合SiO₂あるいはSi₃N₄等の絶縁膜を拡散マスクとしている。その後のリッジ形成からのプロセスは実施例1と同様に行う。ただし、劈開ガイド溝12は不純物拡散層18の中心に位置するように配置している。

【0011】(実施例4) 図7は実施例7の半導体レーザの斜視図を示し、図8は図7においてB-B'線に沿う断面図、図9は上面部を示す。図において、19はn⁺-InP基板、20はn-InPバッファ層、21および23はInGaAsPガイド層、22はInGaAs/InGaAsP量子井戸活性層、24はp-InPクラッド層、25はp⁺-InGaAsコンタクト層、26はInP再成長層である。この構造を実現するためには、まず、エピタキシャル結晶成長装置(MOCVD法：有機金属気相成長装置あるいはMBE法：分子線エピタキシー法)により、エピ層19から25まで成長する。MOCVD法では、半導体薄膜成長用の原料としてTMIn、TEG、ホスピン(PH₃)とAsH₃を、n型ドーパントとしてH₂Se、p型ドーパントとしてD

EZnを利用した。エピタキシャル成長温度は約650°C、成長圧力は約0.1気圧、キャリヤガスは水素である。MBE法では原料として金属Ga, In, PH₃とAsH₃を、n型ドーパントとしてSi、p型ドーパントとしてZnを利用した。エピタキシャル成長温度は約500°C、成長圧力は約10⁻⁵ Torrとしている。

【0012】次に、InP再成長層26を形成するため、任意の間隔で共振器となるリッジの部分を残し、活性層を横切る深さまでエッティングを行う。その後、鉄ドープInP再成長層26を成長する。このときSiO₂あるいはSi₃N₄等の絶縁膜をエッティングマスクとし、さらには再成長時の選択成長マスクとして使用する。この場合のInP再成長層は端面用の被劈開層であるばかりでなく、電流狭窄、屈折率制御用の埋め込み層を兼ね得る構成にしている。次に、レーザチャンネル部を除き劈開ガイド溝12をエッティングにより形成する。そのためにフォトリソグラフィーでパターニングし、これをマスクにウェットあるいはドライエッティングで基板1までエッティングする。このときレーザアレイバーの形状からレーザチップを切り出す場合に用いられるチッピングガイド溝13も形成することもできる。その後、Cr/AuあるいはTi/Pt/Au等のp電極27、AuGeNi等のn電極28を形成する。その後、オーミックシンターし、電極部まで形成する。その後、劈開ガイド溝12に沿ってレーザアレイバー形状に劈開し、チッピングガイド溝13に沿ってレーザチップの形状にチッピングする。

【0013】

【発明の効果】本発明による端面を劈開面としている半導体層を有する半導体装置の製法によれば、端面を劈開面としている半導体装置を形成するに当り、半導体層をエッティングすることで溝を形成し、そのエッティング溝に沿って劈開するが、そのエッティング溝の位置はレジストのフォト工程により決定することが可能であるため、0.1μm程度の位置精度で決定することが出来る。このため生産性の高いウエハ形状での再成長や不純物拡散工程を用いて形成したウインド構造の劈開端面のレーザが精度良く作成できる。また、本発明による端面を劈開面としている半導体層を有する半導体装置の製法では、ウインド構造の形成を劈開により形成し、共振器端面への不純物拡散、並びにバンドギャップの高い半導体材料の再成長により形成することを行わず、ウエハ形状で不純物拡散、再成長工程、その後の電極形成工程を行えるので生産性、再現性良くウインド構造を有する半導体装置を提供することができる。従って本発明は、非常に優れた高出力特性を有するウインド構造レーザの普及、低

価格化に大きな効果がある。また、本発明では、スクライブ、劈開、チッピング時に半導体層内のpn接合部に入るダメージが低減できるため、レーザのサイズが精度良く決定できるだけでなく、信頼性向上の点でも大きな効果がある。

【図面の簡単な説明】

【図1】本発明の実施例1の半導体レーザの斜視図を示す。

【図2】図1においてA-A'線に沿う断面図を示す。

【図3】実施例1の上面図を示す。

【図4】実施例2及び3の斜視図を示す。

【図5】実施例2の上面図を示す。

【図6】実施例3の上面図を示す。

【図7】実施例4の半導体レーザの斜視図を示す。

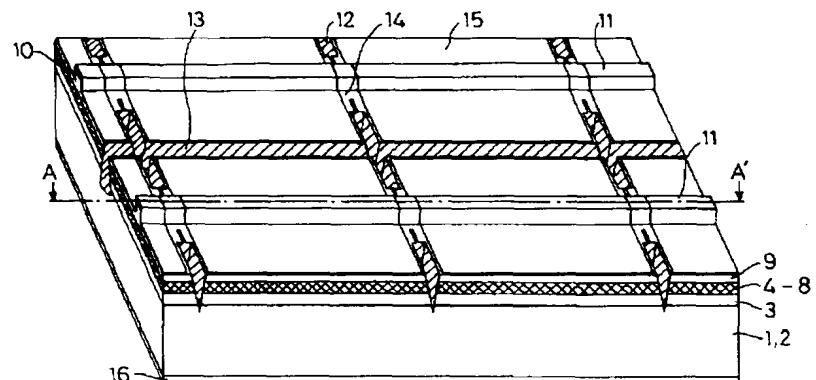
【図8】図7においてB-B'線に沿う断面図を示す。

【図9】実施例4の上面図を示す。

【符号の説明】

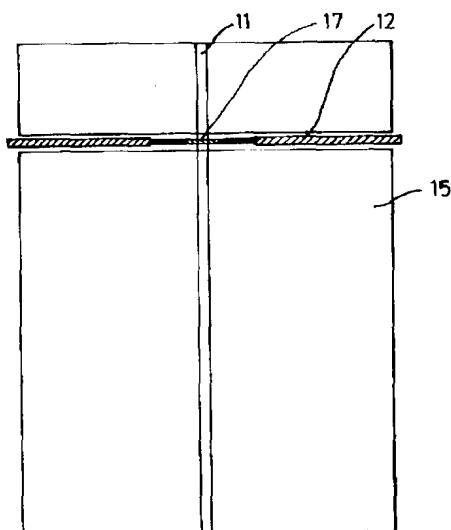
1	n ⁺ —GaAs基板
2	n—GaAsバッファ層
3	n—AlGaAsクラッド層
4	AlGaAsガイド層
5	AlGaAsSCH層
6	InGaAs歪量子井戸活性層
7	AlGaAsSCH層
8	AlGaAsガイド層
9	p—AlGaAsクラッド層
10	p ⁺ —GaAsコンタクト層
11	リッジ
12	劈開ガイド溝
13	チッピングガイド溝
14	絶縁膜
15	p電極
16	n電極
17	AlGaAs再成長層
18	Si不純物層
19	n ⁺ —InP基板
20	n—InPバッファ層
21	InGaAsPガイド層
22	InGaAs/InGaAsP量子井戸活性層
23	InGaAsPガイド層
24	p—InPクラッド層
25	p ⁺ —InGaAsコンタクト層
26	InP再成長層
27	p電極
28	n電極

【図1】

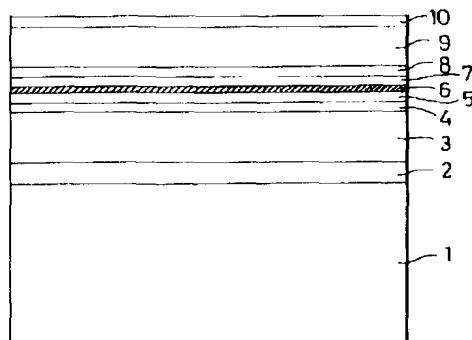


1... 基板
 2... バッファ層
 3... n-AlGaAs フラット層
 4... AlGaAs カイト層
 5... AlGaAsSCH層
 6... InGaAs 量子井戸活性層
 7... AlGaAsSCH層
 8... AlGaAs カイト層
 9... p+AlGaAs フラット層
 10... p-GaAs コンタクト層
 11... リッジ
 12... 開閉カイト溝
 13... キッピングカイト溝
 14... 絶縁膜
 15... p電極
 16... n電極

【図5】

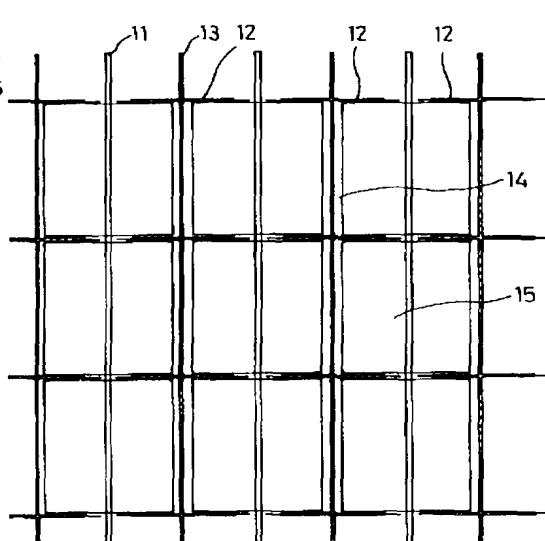


【図2】

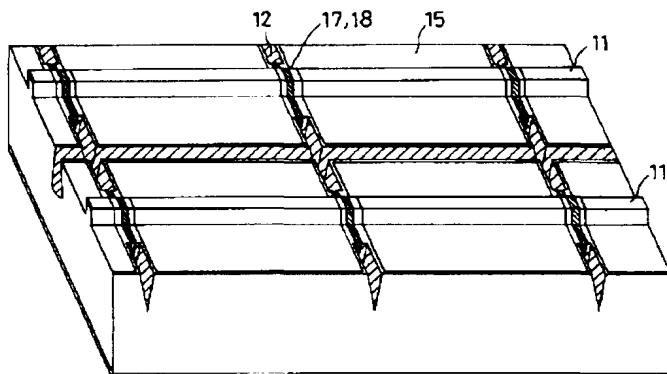


1... 基板
 2... バッファ層
 3... n-AlGaAs フラット層
 4... AlGaAs カイト層
 5... AlGaAsSCH層
 6... InGaAs 量子井戸活性層
 7... AlGaAsSCH層
 8... AlGaAs カイト層
 9... p+AlGaAs フラット層
 10... p-GaAs コンタクト層

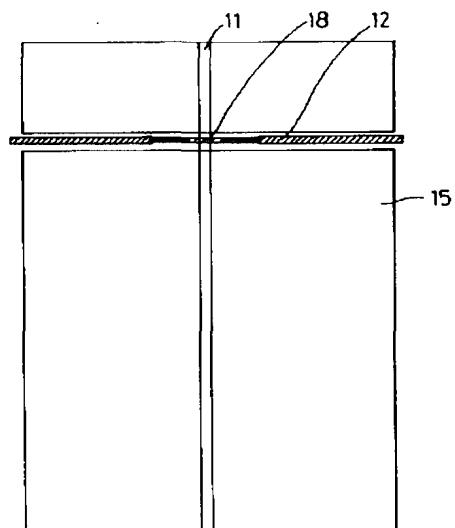
【図3】



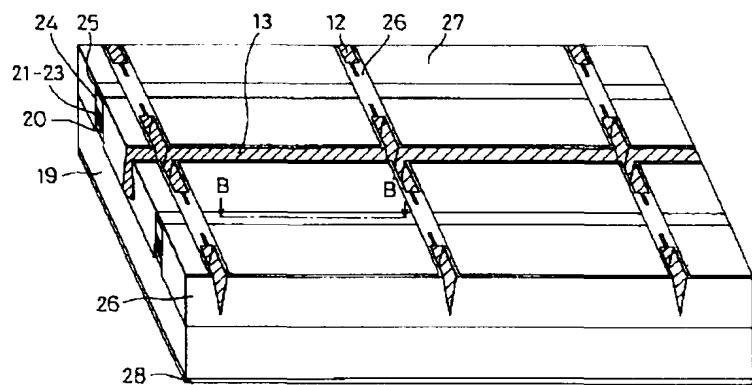
【図 4】



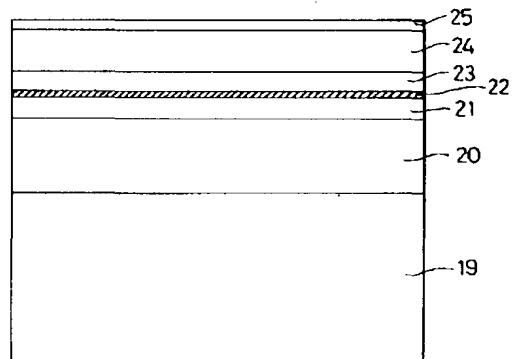
【図 6】



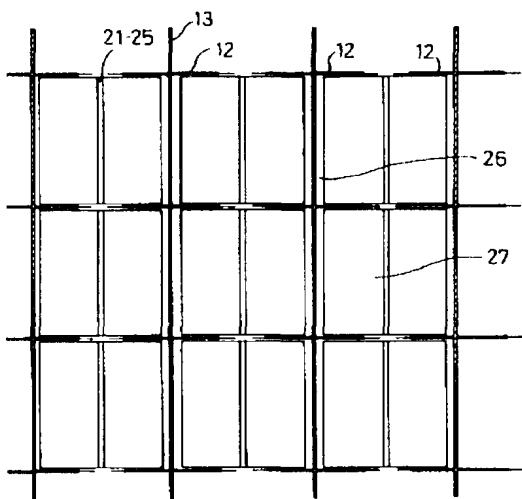
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 西谷 昭彦

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内